

(12)特許協力条約に基づいて公開された国際出版

(19) 世界知的所有權機關
國際事務局



(43) 国際公開日
2005年1月6日 (06.01.2005)

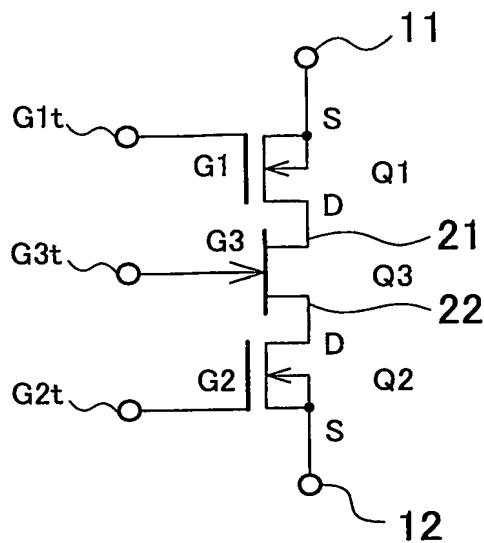
PCT

(10) 国際公開番号
WO 2005/002054 A1

(51) 国際特許分類7:	H03K 17/687, 17/06, 17/10	(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
(21) 国際出願番号:	PCT/JP2004/007756	
(22) 国際出願日:	2004年5月28日 (28.05.2004)	
(25) 国際出願の言語:	日本語	
(26) 国際公開の言語:	日本語	
(30) 優先権データ:	特願2003-187106 2003年6月30日 (30.06.2003) JP	
(71) 出願人(米国を除く全ての指定国について): サンケン電気株式会社 (SANKEN ELECTRIC CO., LTD.) [JP/JP]; 〒3528666 埼玉県新座市北野3丁目6番3号 Saitama (JP).		(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
(72) 発明者; および		
(75) 発明者/出願人(米国についてのみ): 森田 浩一 (MORITA, Koichi) [JP/JP].		
(74) 代理人: 三好 秀和 (MIYOSHI, Hidekazu); 〒1050001 東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル 9階 Tokyo (JP).		添付公開書類: — 国際調査報告書
		2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SEMICONDUCTOR SWITCH

(54) 発明の名称: 半導体スイッチ



(57) Abstract: A semiconductor switch includes a normally-ON type FET Q3 connected in series to a first and a second normally-OFF type FET Q1, Q2. The normally-ON type FET Q3 is connected between the first normally-OFF type FET Q1 and the second normally-OFF type FET Q2.

(57) 要約: ノーマリオン型のFET Q3と第1及び第2のノーマリオフ型のFET Q1, Q2とを直列に接続してなる半導体スイッチであって、ノーマリオン型のFET Q3を第1のノーマリオフ型FET Q1と第2のノーマリオフ型のFET Q2との間に接続してなる。

明細書

半導体スイッチ

5 技術分野

本発明は、半導体スイッチに関し、化合物半導体やSiで形成された高耐圧のノーマリオン型のFETと2つの低オン抵抗のMOSFETを直列に接続し、交流で使用可能な高圧の半導体スイッチに関する。

10 背景技術

制御信号によりオン／オフして、入力された交流信号をオン／オフ制御させる交流用の半導体スイッチ（以下、交流スイッチと称する。）としては、図1、図2、図3に示すようなものがある。これらの交流スイッチは、高圧のFETを2個用いて、第1端子11と第2端子12との両端に印加された交流信号をオン／オフ制御させる。

図1に示す交流スイッチは、第1端子11と第2端子12との両端に、逆直列接続されたノーマリオフ型のMOSFETQ11（FETQ11と称する。）とノーマリオフ型のMOSFETQ12（FETQ12と称する。）とが接続されている。図2に示す交流スイッチも、ノーマリオフ型のFETQ13とノーマリオフ型のFETQ14とが逆直列接続され、ドレイン及びソースの接続が図1に示すものとは逆になっている。

図1に示す交流スイッチによれば、第1ゲート信号が正電圧でゲート端子G1tからFETQ11のゲートG1に印加され、第2ゲート信号が正電圧でゲート端子G2tからFETQ12のゲートG2に印加されると、FETQ11及びFETQ12が共にオンする。このため、第1及び第2ゲート信号が正電圧である期間においては、第1端子11に正電圧が印加されている時には第1端子11から第2端子12に電流が流れ、第2端子12に正電圧が印加されている時には第2端子12から第1端子11に電流が流れ。

次に、第1及び第2ゲート信号が零電圧で、FET Q11及びFET Q12のゲートに印加されると、FET Q11及びFET Q12が共にオフする。このため、交流スイッチに電流が流れなくなる。

なお、図2に示す交流スイッチも、図1に示す交流スイッチと同様に動作する。

図3に示す交流スイッチは、第1端子11と第2端子12との両端に、ダイオードD11とノーマリオフ型のFET Q15とからなる第1直列回路と、ダイオードD12とノーマリオフ型のFET Q16とからなる第2直列回路とが並列に接続されている。ダイオードD11のアノードは第1端子11に接続され、ダイオードD12のアノードは第2端子12に接続されている。

図3に示す交流スイッチによれば、第1ゲート信号が正電圧でゲート端子G1tからFET Q15のゲートG1に印加され、第2ゲート信号が正電圧でゲート端子G2tからFET Q16のゲートG2に印加されると、FET Q15及びFET Q16が共にオンする。このため、第1端子11→ダイオードD11→FET Q15→第2端子12と電流が流れる。即ち、第1及び第2ゲート信号が正電圧である期間においては、第1端子11に正電圧が印加されている時には第1端子11から第2端子12に電流が流れる。また、第2端子12に正電圧が印加されている時には、第2端子12→ダイオードD12→FET Q16→第1端子11と電流が流れる。即ち、第2端子12から第1端子11に電流が流れる。

次に、第1及び第2ゲート信号が零電圧で、FET Q15及びFET Q16のゲートに印加されると、FET Q15及びFET Q16が共にオフする。このため、交流スイッチに電流が流れなくなる。

しかし、図1、図2に示す交流スイッチではオン抵抗の高い高圧の素子が2個直列に接続されているため、交流の半導体スイッチとしてはオン抵抗がかなり大きくなり、ロスが増大する。また、図3に示す交流スイッチでは、部品が多くなりコストが高くなる。

一方、SiCやGaN等の化合物半導体のFETは、耐圧が高くても低オン抵抗で、大電力スイッチに非常に適しているが、ノーマリオンといわれて

いるFET（ゲート信号が零のときドレイン電流が流れてしまうFET）しか製造することができない。このノーマリオン型のFETでは、電源を投入した時間はゲート信号がないので、ドレイン電流が流れ破損につながり非常に使いづらい。このため、ゲート信号が零でもドレイン電流が流れないFETを開発する必要があった。

そこで、図4に示すように、第1端子11と第2端子12との両端に、高圧のSiCからなるノーマリオン型のFETQ18と低圧低オン抵抗のノーマリオフ型のFETQ17とをカスケード接続した直流スイッチが用いられている（特開平5-75110号公報）。この直流スイッチは、高圧で低オン抵抗にしたもので、第1端子11と第2端子12との間に直流信号が印加されるようになっている。

図4に示す直流スイッチによれば、FETQ17のゲートG1にしきい値以上の電圧を印加すると、FETQ17がオンし、FETQ18もオンする。また、FETQ17のゲートG1にしきい値未満の電圧を印加すると、FETQ17がオフし、FETQ18もオフする。即ち、FETQ17のゲートG1でオン／オフし、あたかも1個の高耐圧のFETとして動作することができる。

しかしながら、図4に示す直流スイッチでは交流には使用できない。このため、図5や図6のような回路を用いて交流スイッチを実現していた。

図5に示す交流スイッチは、図4に示す直流スイッチを図3に示す交流スイッチに適用したものであり、図5に示すFETQ19, Q21が図3に示すFETQ15に対応し、図5に示すFETQ20, Q22が図3に示すFETQ16に対応し、その動作は図3及び図4に示す動作と同様である。

図6に示す交流スイッチは、図4に示す直流スイッチを図1に示す交流スイッチに適用したものであり、図6に示すFETQ25, Q26が図1に示すFETQ11に対応し、図6に示すFETQ23, Q24が図1に示すFETQ12に対応し、その動作は図1及び図4に示す動作と同様である。

しかしながら、図 5 に示す交流スイッチでは、図 3 に示す交流スイッチに比べてノーマリオン型の FET が 2 個必要であり、また、メイン電流を流すパワーダイオードも 2 個余計に必要である。即ち、部品が多くコストが高く、ダイオードによるロスが大きかった。また、図 6 に示す交流スイッチも部品 5 が多くコストが高かった。

本発明は、交流信号をオン／オフ制御することによりロスを低減し、高耐圧でしかも安価な半導体スイッチを提供することにある。

本発明は、上記課題を解決するためになされたものであり、本発明の第 1 の側面は、ノーマリオン型の FET と第 1 及び第 2 のノーマリオフ型の FET 10 とを直列に接続してなる半導体スイッチであって、前記ノーマリオン型の FET を前記第 1 のノーマリオフ型 FET と前記第 2 のノーマリオフ型の FET との間に接続してなることを特徴とする。

本発明の第 2 の側面は、直列に接続された複数個のノーマリオン型の FET と第 1 及び第 2 のノーマリオフ型の FET とを直列に接続してなる半導 15 体スイッチであって、前記複数個のノーマリオン型の FET を前記第 1 のノーマリオフ型 FET と前記第 2 のノーマリオフ型の FET との間に接続してなることを特徴とする。

図面の簡単な説明

20 図 1 は、従来の半導体スイッチの例 1 の回路図である。

図 2 は、従来の半導体スイッチの例 2 の回路図である。

図 3 は、従来の半導体スイッチの例 3 の回路図である。

図 4 は、従来の半導体スイッチの例 4 の回路図である。

図 5 は、従来の半導体スイッチの例 5 の回路図である。

25 図 6 は、従来の半導体スイッチの例 6 の回路図である。

図 7 は、本発明の第 1 の実施の形態に係る半導体スイッチの基本回路図である。

図 8 は、本発明の第 1 の実施の形態に係る半導体スイッチの具体的な回路図である。

30 図 9 は、図 8 に示す半導体スイッチの第 1 の等価回路図である。

図 10 は、図 8 に示す半導体スイッチの第 2 の等価回路図である。

図 11 は、図 8 に示す半導体スイッチの第 3 の等価回路図である。

図 12 は、図 8 に示す半導体スイッチの第 4 の等価回路図である。

図 13 は、本発明の第 2 の実施の形態に係る半導体スイッチの回路図である。

5

図 14 は、本発明の第 3 の実施の形態に係る半導体スイッチの回路図である。

図 15 は、本発明の第 4 の実施の形態に係る半導体スイッチの回路図である。

10 図 16 は、本発明の第 5 の実施の形態に係る半導体スイッチの回路図である。

図 17 は、本発明の第 6 の実施の形態に係る半導体スイッチの回路図である。

15 図 18 は、本発明の第 7 の実施の形態に係る半導体スイッチの回路図である。

図 19 は、本発明の第 8 の実施の形態に係る半導体スイッチの回路図である。

発明を実施するための最良の形態

20 以下、本発明の実施の形態に係る半導体スイッチを図面を参照しながら詳細に説明する。

(第 1 の実施の形態)

25 第 1 の実施の形態に係る半導体スイッチは、2 個の S i の低圧低オン抵抗の M O S F E T の間に、高圧の化合物半導体の F E T を直列に接続し、交流信号をオン／オフ制御することによりロスを低減し、高耐圧でしかも安価な半導体スイッチとしたことを特徴とする。

図 7 は本発明の第 1 の実施の形態に係る半導体スイッチの基本回路図である。

30 図 7 に示す半導体スイッチは、ノーマリオン型の F E T Q 3 をノーマリオフ型 F E T Q 1 とノーマリオフ型の F E T Q 2 との間に接続してなる。F E

T Q 1 のソース S は第 1 端子 1 1 に接続され、F E T Q 1 のドレイン D は F E T Q 3 の第 1 主電極 2 1 に接続され、F E T Q 3 の第 2 主電極 2 2 は F E T Q 2 のドレイン D に接続され F E T Q 2 のソース S は第 2 端子 1 2 に接続されている。

5 F E T Q 1, Q 2 は S i からなる低圧低オン抵抗のM O S F E T である。F E T Q 3 は、オン抵抗が小さく高耐圧であり、例えば S i C や G a N 等の化合物半導体又は M E S F E T からなる。このノーマリオン型の F E T Q 3 は、ドレインとソースとが対称に形成されているので、第 1 端子 1 1 と第 2 端子 1 2 との内に電位の高い端子に接続された第 1 主電極 2 1 又は第 2 主電極 2 2 がドレインとなり、電位の低い端子に接続された他方の主電極がソースとなる。

10 また、パルス信号等からなる第 1 ゲート信号は、ゲート端子 G 1 t を介して F E T Q 1 のゲート G 1 に印加され、第 2 ゲート信号は、ゲート端子 G 2 t を介して F E T Q 2 のゲート G 2 に印加され、第 3 ゲート信号は、ゲート端子 G 3 t を介して F E T Q 3 のゲート G 3 (制御電極) に印加されるようになっている。

15 次に、このように構成された第 1 の実施の形態に係る半導体スイッチの動作を説明する。

まず、第 1 端子 1 1 及び第 2 端子 1 2 間に交流信号が入力されると、第 1 端子 1 1 の電位が高く第 2 端子 1 2 の電位が低い場合には、F E T Q 3 の第 1 主電極 2 1 がドレインとなり、第 2 主電極 2 2 がソースとなる。ソースとなる第 2 主電極 2 2 の電位に対してゲート G 3 を高い電位又は零電位とする第 3 ゲート信号がゲート端子 G 3 t から入力されると、F E T Q 3 がオンする。また、このとき、第 1 ゲート信号が正電圧でゲート端子 G 1 t から F E T Q 1 のゲート G 1 に印加され、第 2 ゲート信号が正電圧でゲート端子 G 2 t から F E T Q 2 のゲート G 2 に印加されると、F E T Q 1 及び F E T Q 2 が共にオンする。

次に、第 2 端子 1 2 の電位が高く第 1 端子 1 1 の電位が低い場合には、F E T Q 3 の第 1 主電極 2 1 がソースとなり、第 2 主電極 2 2 がドレインとなる。ソースとなる第 1 主電極 2 1 の電位に対してゲート G 3 を高い電位又は

零電位とする第3ゲート信号がゲート端子G3tから入力されると、FETQ3がオンする。

また、このとき、第1ゲート信号が正電圧でゲート端子G1tからFETQ1のゲートG1に印加され、第2ゲート信号が正電圧でゲート端子G2tからFETQ2のゲートG2に印加されると、FETQ1及びFETQ2が共にオンする。

さらに、第1端子11の電位が高く第2端子12の電位が低い場合、及び第2端子12の電位が高く第1端子11の電位が低い場合でも、ソースとなる主電極の電位に対してゲートG3を低い電位とするゲート信号が入力されると、FETQ3はオフする。

このように、第1の実施の形態に係る半導体スイッチによれば、2個のSiの低圧低オン抵抗のMOSFETの間に、高圧の化合物半導体のFETを直列に接続し、交流信号をオン／オフ制御することによりロスを低減し、高耐圧でしかも安価な半導体スイッチを提供することができる。

15 (半導体スイッチの具体的な回路)

図8は本発明の第1の実施の形態に係る半導体スイッチの具体的な回路図である。図7に示す半導体スイッチでは、ゲート端子G3tからの第3ゲート信号による電圧をFETQ3のゲートG3に入力したが、図8に示す半導体スイッチでは、第1端子11及び第2端子12の交流信号による電圧を抵抗を介してFETQ3のゲートG3に印加することで、第3ゲート信号の入力をなくしたものである。

FETQ1のソースSにはダイオードD1のカソード及び第2電流供給手段としての抵抗R1の一端が接続され、FETQ2のソースSにはダイオードD2のカソード及び第1電流供給手段としての抵抗R2の一端が接続されている。ダイオードD1のアノード及び抵抗R1の他端と、ダイオードD2のアノード及び抵抗R2の他端とは、FETQ3のゲートG3に接続されている。ダイオードD1、D2はFETQ1、Q2のソースの低い方の電位を選ぶダイオードである。抵抗R1、R2は、そのダイオードにバイアス電流を流す抵抗である。

なお、その他の構成は図 7 に示す構成と同一構成であるので、同一部分には同一符号を付し、その詳細な説明は省略する。

次に、図 8 に示す半導体スイッチの動作を説明する。まず、第 1 端子 11 の電位が高く第 2 端子 12 の電位が低い場合には、図 9 に示す第 1 の等価回路となる。このとき、FET Q 2 のゲート G 2 に入力される第 2 ゲート信号によりオン／オフできる。即ち、ダイオード D 1 とダイオード D 2 とで低い方の電位が選択されることにより、ダイオード D 2 がオンし、FET Q 3 のゲート G 3 は、FET Q 2 のソース S の電位になる。このため、FET Q 2 がオンしているときには、FET Q 3 がオンになる。FET Q 2 がオフのときには、ドレイン電流が流れないので、FET Q 3 のドレイン電流も流れず、オフとなる。即ち、等価回路は図 10 のようになる。このとき、FET Q 1 のゲート信号を入力していると、MOSFET によってボディダイオード D q 1 の順方向ドロップも小さくできる。

また、図 8 において、第 1 端子 11 の電位が低く第 2 端子 12 の電位が高い場合には、等価回路は図 11 に示すようになる。FET Q 1 のゲート G 1 に入力される第 1 ゲート信号によりオン／オフできる。即ち、ダイオード D 1 とダイオード D 2 とで低い方の電位が選択されることにより、ダイオード D 1 がオンし、FET Q 3 のゲート G 3 は、FET Q 1 のソース S の電位になる。このため、FET Q 1 がオンしているときには、FET Q 3 がオンになる。FET Q 1 がオフのときには、ドレイン電流が流れないので、FET Q 3 のドレイン電流も流れず、オフとなる。即ち、等価回路は図 12 のようになる。このとき、FET Q 2 のゲート信号を入力していると、MOSFET によってボディダイオード D q 2 の順方向ドロップも小さくできる。即ち、第 1 端子 11 、第 2 端子 12 で交流信号をオン／オフすることができる。

25 (第 2 の実施の形態)

図 13 は本発明の第 2 の実施の形態に係る半導体スイッチの回路図である。第 2 の実施の形態に係る半導体スイッチは、第 1 の実施の形態に係る半導体スイッチのダイオード D 1, D 2 に代えて、FET Q 4, Q 5 を設けて、ノイズや漏洩電流による誤動作を防止したことを特徴とする。

図13において、FETQ4, Q5は、ノーマリオフ型のMOSFET等のスイッチであり、FETQ4のドレインDは第1端子11に接続され、FETQ5のドレインDは第2端子12に接続されている。FETQ4のソースSとFETQ5のソースSとはFETQ3のゲートG3に接続されて5いる。

また、FETQ4及びFETQ5の内、電位の低い端子に接続されたFETのゲートに正電圧のゲート信号を入力することでオンし、電位の高い端子に接続されたFETのゲートに負電圧のゲート信号を入力することでオフするようになっている。ここでは、FETQ4及びFETQ5の内、FET10Q1, Q2の内のソース電位の低い方のFETに接続されたFETをオンし、FETQ1, Q2の内のソース電位の高い方のFETに接続されたFETをオフする。

次に、このように構成された第2の実施の形態に係る半導体スイッチの動作を説明する。

15 まず、第1端子11の電位が高く第2端子12の電位が低い場合には、FETQ2のゲートG2に入力される第2ゲート信号によりオン／オフできる。即ち、FETQ5のゲートに正電圧のゲート信号を入力することでオンする。このため、FETQ3のゲートG3は、FETQ2のソースSの電位になる。このため、FETQ2がオンしているときには、FETQ3がオン20になる。FETQ2がオフのときには、ドレイン電流が流れないので、FETQ3のドレイン電流も流れず、オフとなる。

また、第1端子11の電位が低く第2端子12の電位が高い場合には、FETQ1のゲートG1に入力される第1ゲート信号によりオン／オフできる。即ち、FETQ4のゲートに正電圧のゲート信号を入力することでオン25する。FETQ3のゲートG3は、FETQ1のソースSの電位になる。このため、FETQ1がオンしているときには、FETQ3がオンになる。FETQ1がオフのときには、ドレイン電流が流れないので、FETQ3のドレイン電流も流れず、オフとなる。即ち、第1端子11、第2端子12で交流信号をオン／オフすることができる。

このように第2の実施の形態に係る半導体スイッチによれば、第1の実施の形態に係る半導体スイッチの効果と同様な効果が得られるとともに、FETQ4, Q5を安定にオンできるので、ノイズや漏洩電流による誤動作を防止できる。

5 (第3の実施の形態)

図14は本発明の第3の実施の形態に係る半導体スイッチの回路図である。ノーマリオン型のFETは、ゲート電圧が零電圧で完全にオンしないで中途半端で電流が流れる現象が発生することがある。第3の実施の形態に係る半導体スイッチは、電位の高い端子からダイオード及び抵抗を介して電流をFETQ3のゲートG3に流し、ゲート電圧を正電圧にしてFETQ3を確実にオンさせるようにしたことを特徴とする。

なお、図14において、図7に示す部分と同一部分には同一符号を付し、同一部分の説明は省略する。

第1端子11にはダイオードD1のアノードが接続され、ダイオードD1のカソードは抵抗R1を介してダイオードD3のアノードとダイオードD4のアノードとFETQ3のゲートG3とに接続されている。ダイオードD3のカソードはFETQ1のゲートG1に接続され、ダイオードD4のカソードはFETQ2のゲートG2に接続されている。第2端子12にはダイオードD2のアノードが接続され、ダイオードD2のカソードは抵抗R1の一端及びダイオードD1のカソードに接続されている。

次に、このように構成された第3の実施の形態に係る半導体スイッチの動作を説明する。ここでは、ダイオードD1～D4によるFETQ3のゲートG3への印加の動作のみを説明する。

まず、第1端子11の電位が高く第2端子12の電位が低い場合には、FETQ3の第1主電極21がドレインとなり、第2主電極22がソースとなる。このとき、第1端子11→ダイオードD1→抵抗R1→FETQ3のゲートG3と電流が流れる。これにより、FETQ3のゲート電圧が確保できるので、FETQ3を確実にオンすることができる。なお、ダイオードD2はオフである。

次に、第2端子12の電位が高く第1端子11の電位が低い場合には、FETQ3の第1主電極21がソースとなり、第2主電極22がドレインとなる。このとき、第2端子12→ダイオードD2→抵抗R1→FETQ3のゲートG3と電流が流れる。これにより、FETQ3のゲート電圧が確保できるので、FETQ3を確実にオンすることができる。なお、ダイオードD1はオフである。

このように、第3の実施の形態に係る半導体スイッチによれば、第1の実施の形態に係る半導体スイッチの効果と同様な効果が得られるとともに、電位の高い端子からダイオード及び抵抗を介して電流をFETQ3のゲート10 G3に流し、ゲート電圧を正電圧にしてFETQ3を確実にオンさせることができる。これにより、ノイズや漏洩電流による誤動作を防止できる。

(第4の実施の形態)

図15は本発明の第4の実施の形態に係る半導体スイッチの回路図である。第4の実施の形態に係る半導体スイッチは、図8に示す構成に、さらに、15 抵抗R1と抵抗R2との接続点とFETQ3のゲートG3との間に直流電源Eを設けたことを特徴とする。直流電源Eの正極はFETQ3のゲートG3に接続され、直流電源Eの負極は抵抗R1と抵抗R2との接続点に接続されている。

なお、図15において、図7に示す部分と同一部分には同一符号を付し、20 同一部分の説明は省略する。

このように構成された第4の実施の形態に係る半導体スイッチによれば、直流電源Eの直流電圧がバイアス電圧としてFETQ3のゲートG3に常に印加されるので、ゲート電圧不足が発生しなくなり、FETQ3が誤動作しなくなる。

(第5の実施の形態)

図8に示す半導体スイッチでは、FETQ2, Q3が耐圧20Vでオン抵抗が1mΩのSiのFETであり、FETQ3は耐圧1000Vの化合物半導体のノーマリオン型のFETである。FETQ3はゲート電圧が-20Vでオフするとすれば、FETQ2の耐圧は20Vであり、20Vの耐圧があれば動作できる。

しかし、FETQ3がもっと耐圧が高い化合物半導体、例えば4000Vの耐圧のFETであると、このFETをオフするには、ゲートに-50V程度の電圧を印加しなければならない。このため、図8に示す半導体スイッチでオン／オフするには、FETQ1, Q2の耐圧が50V必要である。

ところが、50VのSiのFETでは、20Vの耐圧のFETと比べてオン抵抗が5～10倍程度大きくなってしまうため、全体のオン抵抗が大きくなってしまう。

そこで、第5の実施の形態に係る半導体スイッチでは、図16に示すように、図8に示す半導体スイッチに対して、さらに、FETQ1とFETQ3との間に中圧のノーマリオン型のFETQ6を設け、FETQ3とFETQ2との間に中圧のノーマリオン型のFETQ7を設けたものである。

FETQ2とFETQ7との組、及びFETQ1とFETQ6との組で、図16に示すような構成にして、耐圧50V以上のFETと同等の等価回路にすると、FETQ3をオン／オフできる。即ち、FETQ6とFETQ7は、ゲート信号が-20V以下でオン／オフできるノーマリオン型のFETであり、FETQ1及びFETQ2のドレインDの耐圧は、20Vで良い。また、FETQ3は、ゲート信号が-50V以下でオン／オフできるノーマリオン型のFETであり、FETQ6とFETQ7のドレインDの耐圧は、50Vで良い。従って、全体を耐圧4000Vという高圧の半導体スイッチを構成することができる。

以下、図16に示す半導体スイッチの構成及び動作の詳細を説明する。FETQ6の第1主電極23はFETQ1のドレインDに接続され、FETQ6の第2主電極24はFETQ3の第1主電極21に接続されている。FETQ7の第1主電極25はFETQ3の第2主電極22に接続され、FETQ7の第2主電極26はFETQ2のドレインDに接続されている。FETQ3のゲートG3にはFETQ6のゲートG6とFETQ7のゲートG7とが共通に接続されている。

次に、このように構成された第5の実施の形態に係る半導体スイッチの動作を説明する。

まず、第1端子11の電位が高く第2端子12の電位が低い場合には、FETQ2のゲートG2に入力される第2ゲート信号によりオン／オフできる。即ち、ダイオードD2がオンし、FETQ3のゲートG3、FETQ6のゲートG6及びFETQ7のゲートG7は、FETQ2のソースSの電位5になる。このため、FETQ2がオンしているときには、FETQ3、FETQ6及びFETQ7がオンになる。FETQ2がオフのときには、ドレン電流が流れないので、FETQ3、FETQ6及びFETQ7のドレン電流も流れず、オフとなる。

また、第1端子11の電位が低く第2端子12の電位が高い場合には、FETQ1のゲートG1に入力される第1ゲート信号によりオン／オフできる。即ち、ダイオードD1がオンし、FETQ3のゲートG3、FETQ6のゲートG6及びFETQ7のゲートG7は、FETQ1のソースSの電位10になる。このため、FETQ1がオンしているときには、FETQ3、FETQ6及びFETQ7がオンになる。FETQ1がオフのときには、ドレン電流が流れないので、FETQ3、FETQ6及びFETQ7のドレン電流も流れず、オフとなる。即ち、第1端子11、第2端子12で交流信号15をオン／オフすることができる。

このように第5の実施の形態に係る半導体スイッチによれば、第2の実施の形態に係る半導体スイッチの効果と同様な効果が得られるとともに、3個のノーマリオン型のFETと2個のノーマリオフ型のSiの低压低オン抵抗のMOSFETで構成された高圧の半導体スイッチを提供することができる。

(第6の実施の形態)

図17は本発明の第6の実施の形態に係る半導体スイッチの回路図である。図17に示す半導体スイッチは、図13に示す半導体スイッチに対して、さらに、FETQ1とFETQ3との間に中圧のノーマリオン型のFETQ6を設け、FETQ3とFETQ2との間に中圧のノーマリオン型のFETQ7を設けたものである。FETQ4のソースSとFETQ5のソースSとはFETQ3のゲートG3、FETQ6のゲートG6及びFETQ7のゲートG7に接続されている。

5 このように構成された第6の実施の形態に係る半導体スイッチによれば、図13に示す半導体スイッチの動作と略同様に動作する。但し、FETQ3のゲートG3、FETQ6のゲートG6及びFETQ7のゲートG7が電位の低い端子に接続されたFETのソースSの電位と同じになることで、FETQ3、FETQ6及びFETQ7がオンになる点が異なる。

10 このように第6の実施の形態に係る半導体スイッチによれば、第5の実施の形態に係る半導体スイッチの効果と同様な効果が得られるとともに、FETQ4、Q5を安定にオンできるので、ノイズや漏洩電流による誤動作を防止できる。

(第7の実施の形態)

15 図18は本発明の第7の実施の形態に係る半導体スイッチの回路図である。図18に示す半導体スイッチは、図14に示す半導体スイッチに対して、さらに、FETQ1とFETQ3との間に中圧のノーマリオン型のFETQ6を設け、FETQ3とFETQ2との間に中圧のノーマリオン型のFETQ7を設けたものである。FETQ3のゲートG3には、FETQ6のゲートG6及びFETQ7のゲートG7が接続されている。

20 このように、第7の実施の形態に係る半導体スイッチによれば、第5の実施の形態に係る半導体スイッチの効果と同様な効果が得られるとともに、電位の高い端子からダイオード及び抵抗を介して電流をFETQ3のゲートG3、FETQ6のゲートG6及びFETQ7のゲートG7に流し、ゲート電圧を正電圧にしてFETQ3、FETQ6及びFETQ7を確実にオンさせることができる。これにより、ノイズや漏洩電流による誤動作を防止できる。

(第8の実施の形態)

25 図19は本発明の第8の実施の形態に係る半導体スイッチの回路図である。図19に示す半導体スイッチは、図15に示す半導体スイッチに対して、さらに、FETQ1とFETQ3との間に中圧のノーマリオン型のFETQ6を設け、FETQ3とFETQ2との間に中圧のノーマリオン型のFETQ7を設けたものである。FETQ3のゲートG3には、FETQ6のゲートG6及びFETQ7のゲートG7が接続されている。

このように、第8の実施の形態に係る半導体スイッチによれば、第5の実施の形態に係る半導体スイッチの効果と同様な効果が得られるとともに、直流電源Eの直流電圧がバイアス電圧としてFETQ3のゲートG3、FETQ6のゲートG6及びFETQ7のゲートG7に常に印加されるので、ゲート電圧不足が発生しなくなり、FETQ3、FETQ6及びFETQ7が誤動作しなくなる。

なお、第1、第3乃至第5、第7及び第8の実施の形態に係る半導体スイッチでは、電流を流すために抵抗R1を用いたが、抵抗R1に代えて、例えば定電流素子や定電流回路等を用いても良く、これらによれば、低い電圧から高い電圧まで安定に順方向電流を流すことができる。

産業上の利用可能性

本発明によれば、ノーマリオン型のFETを第1のノーマリオフ型FETと第2のノーマリオフ型のFETとの間に接続することによりロスを低減し、高耐圧でしかも安価な半導体スイッチを提供することができる。

請求の範囲

1. ノーマリオン型のFETと第1及び第2のノーマリオフ型のFETとを直列に接続してなる半導体スイッチであって、
 - 5 前記ノーマリオン型のFETを前記第1のノーマリオフ型FETと前記第2のノーマリオフ型のFETとの間に接続してなることを特徴とする波導体スイッチ。
2. 直列に接続された複数個のノーマリオン型のFETと第1及び第2のノーマリオフ型のFETとを直列に接続してなる半導体スイッチであって、
 - 10 前記複数個のノーマリオン型のFETを前記第1のノーマリオフ型FETと前記第2のノーマリオフ型のFETとの間に接続してなることを特徴とする半導体スイッチ。
3. 前記第1及び第2のノーマリオフ型のFETをオン／オフすることにより前記ノーマリオン型のFETをオン／オフさせる制御手段を更に有することを特徴とする請求項1又は2記載の半導体スイッチ。
 - 15 4. 前記制御手段は、
 - 20 前記第1のノーマリオフ型のFETのソースに一方の電極が接続された第1ダイオードと、この第1ダイオードに電流を供給する第1電流供給手段と、
 - 25 前記第2のノーマリオフ型のFETのソースに一方の電極が接続され他方の電極が前記第1ダイオードの他方の電極に接続された第2ダイオードと、この第2ダイオードに電流を供給する第2電流供給手段と、
 - 30 前記第1ダイオードの他方の電極と前記第2ダイオードの他方の電極との接続点を前記ノーマリオン型のFETのゲートに接続したことを特徴とする請求項3記載の半導体スイッチ。

5. 前記制御手段は、

前記第1のノーマリオフ型のFETのソースに一方の電極が接続された第1ダイオードと、

- 5 前記第2のノーマリオフ型のFETのソースに一方の電極が接続され他方の電極が前記第1ダイオードの他方の電極に接続された第2ダイオードと、

前記第1ダイオードの他方の電極と前記第2ダイオードの他方の電極との接続点と前記ノーマリオン型のFETのゲートとの間に接続された抵抗と、

10

前記ノーマリオン型のFETのゲートと前記第1のノーマリオフ型のFETのゲートとの間に接続された第3ダイオードと、

前記ノーマリオン型のFETのゲートと前記第2のノーマリオフ型のFETのゲートとの間に接続された第4ダイオードと、

15

を有することを特徴とする請求項3記載の半導体スイッチ。

6. 前記ノーマリオン型のFETのゲートに直流電圧を印加する直流電源を更に有することを特徴とする請求項4記載の半導体スイッチ。

20

7. 前記制御手段は、

前記第1のノーマリオフ型のFETのソースに第1電極が接続された第1スイッチと、

前記第2のノーマリオフ型のFETのソースに第3電極が接続され第4電極が前記第1スイッチの第2電極に接続された第2スイッチと、

25

を有し、

前記第1スイッチの第2電極と前記第2スイッチの第4電極との接続点を前記ノーマリオン型のFETのゲートに接続し、

前記第1スイッチ及び第2スイッチの内、前記第1及び第2のノーマリオフ型のFETの内のソース電位の低い方のFETに接続されたスイッチを

オンし、前記ソース電位の高い方の FET に接続されたスイッチをオフすることを特徴とする請求項 1 又は請求項 2 記載の半導体スイッチ。

8. 前記ノーマリオン型の FET は、化合物半導体からなり、前記第 1 及び
5 第 2 のノーマリオフ型の FET は、Si 半導体からなることを特徴とする請
求項 1 乃至請求項 7 のいずれか 1 項記載の半導体スイッチ。

9. 前記ノーマリオン型の FET は、MESFET からなることを特徴とす
る請求項 1 乃至請求項 7 のいずれか 1 項記載の半導体スイッチ。

10

10. 前記ノーマリオン型の FET は、高圧の半導体スイッチからなり、前
記第 1 及び第 2 のノーマリオフ型の FET は、低圧低オン抵抗の FET から
なることを特徴とする請求項 1 乃至請求項 7 のいずれか 1 項記載の半導体
スイッチ。

15

1/8

FIG.1

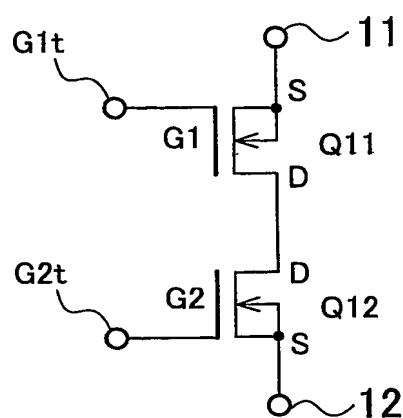


FIG.2

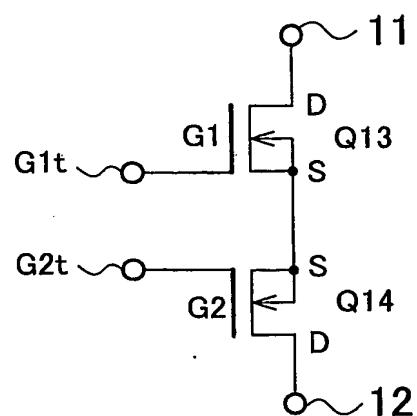
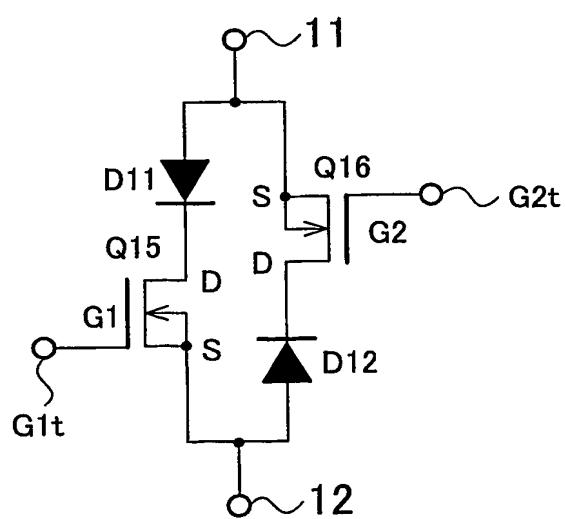


FIG.3



2/8

FIG.4

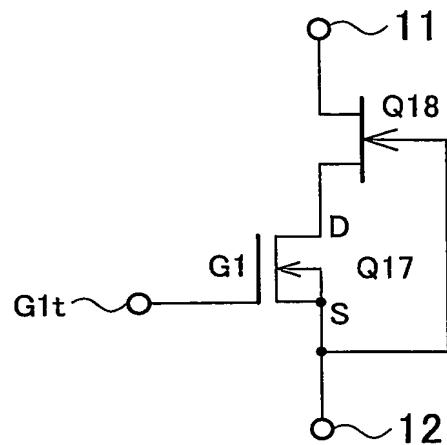
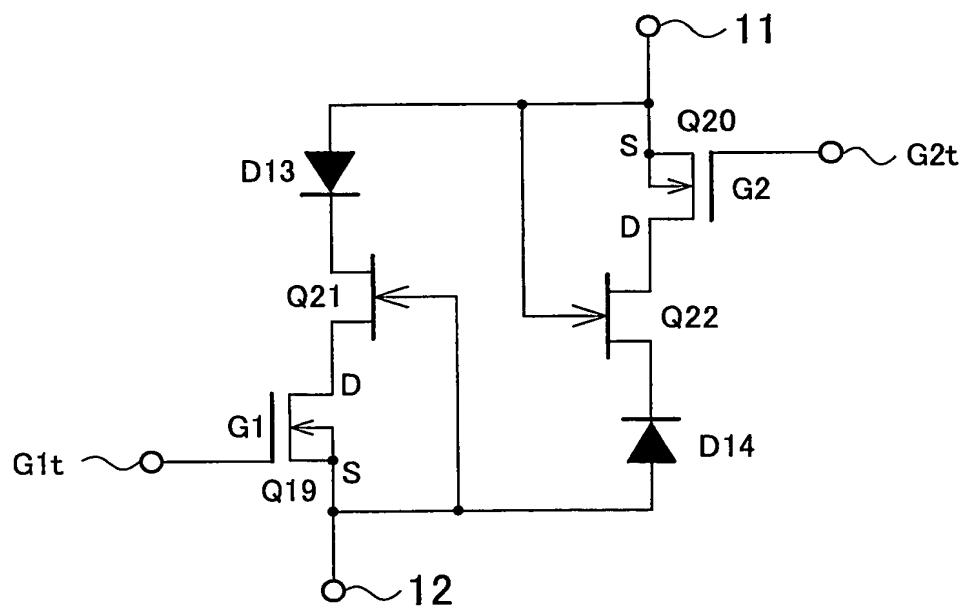


FIG.5



3/8

FIG.6

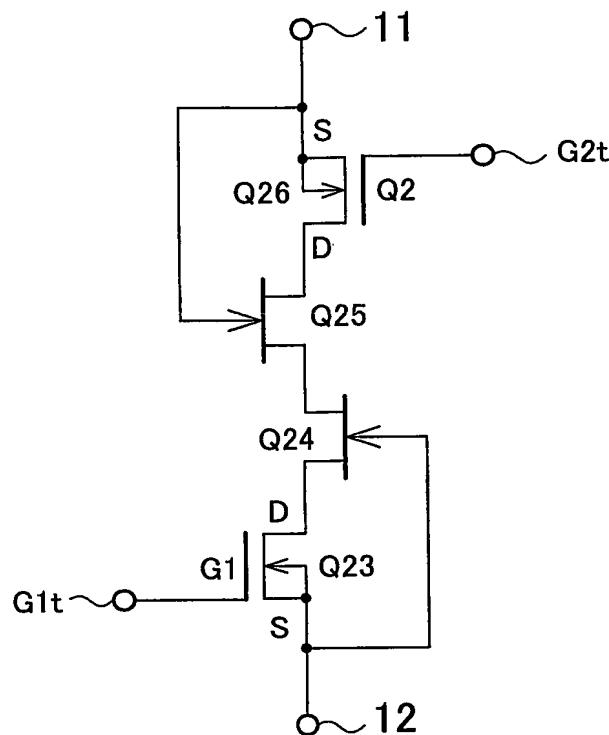


FIG.7

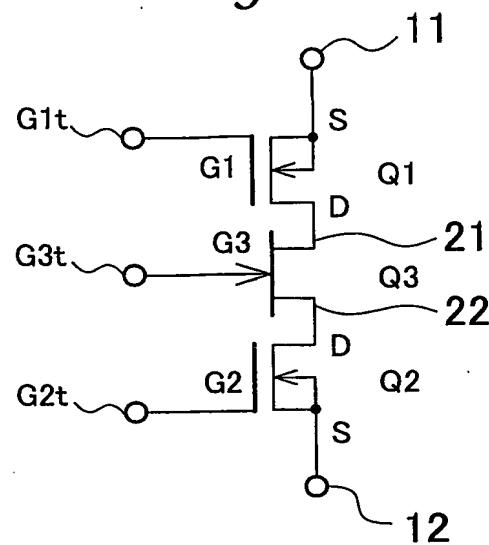
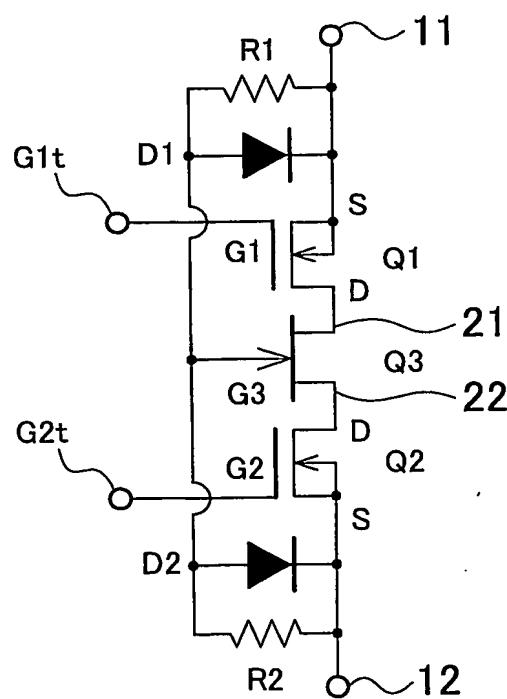


FIG.8



4/8

FIG.9

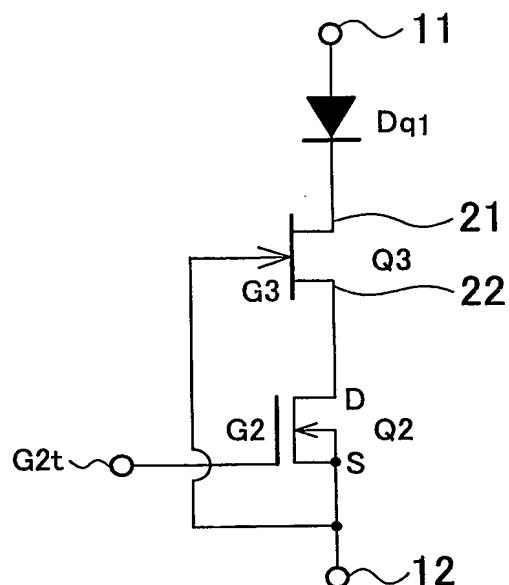


FIG.10

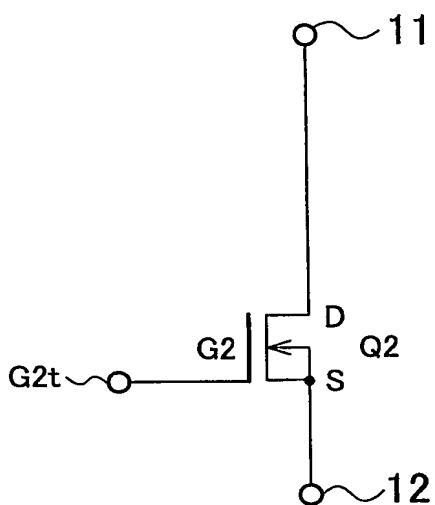
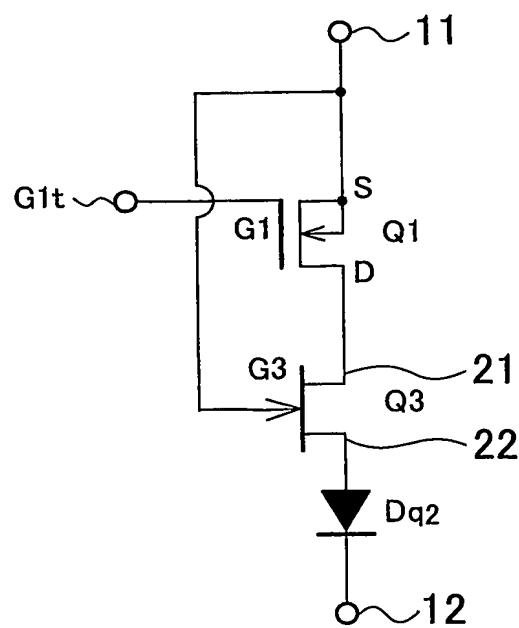


FIG.11



5/8

FIG.12

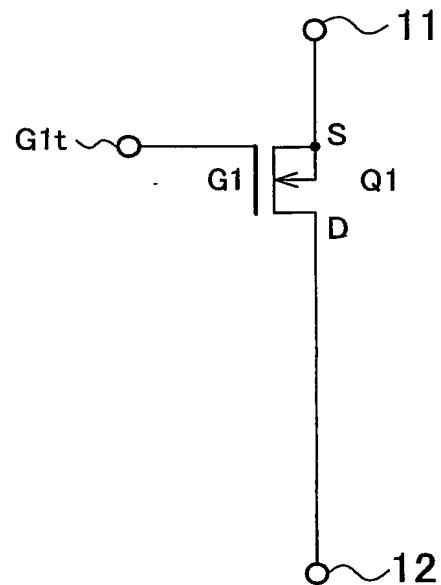


FIG.13

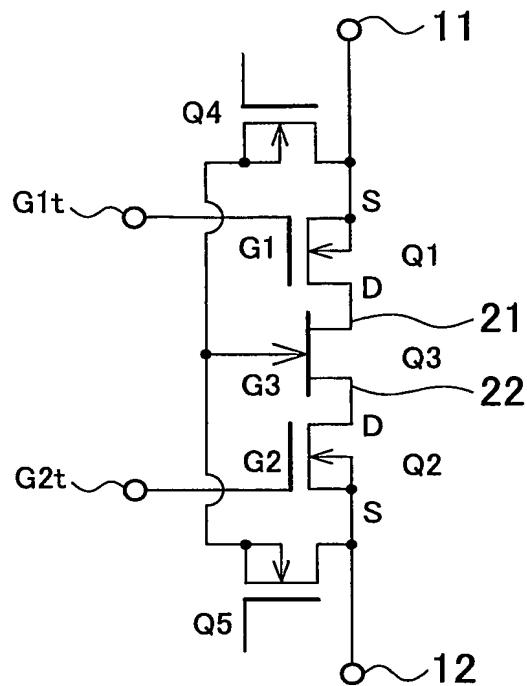
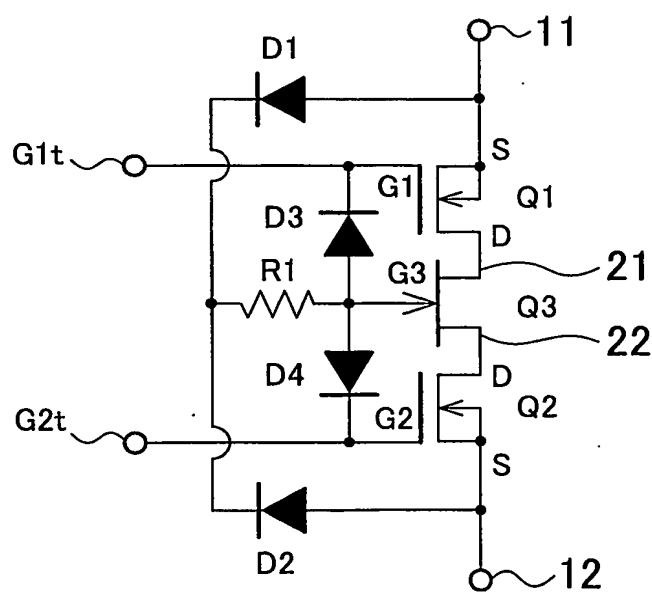


FIG.14



6/8

FIG. 15

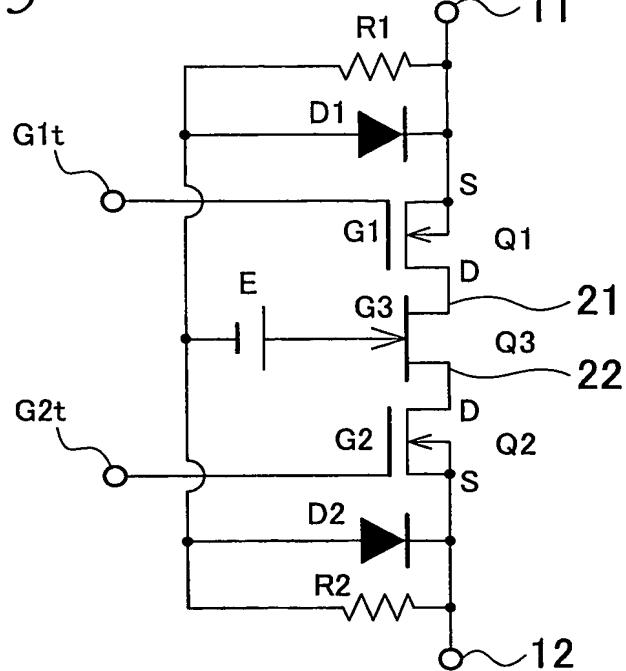
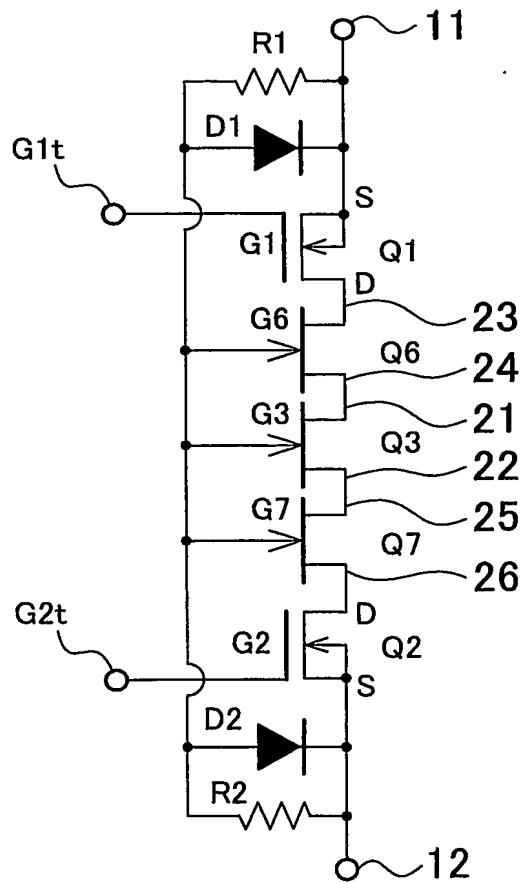


FIG. 16



7/8

FIG. 17

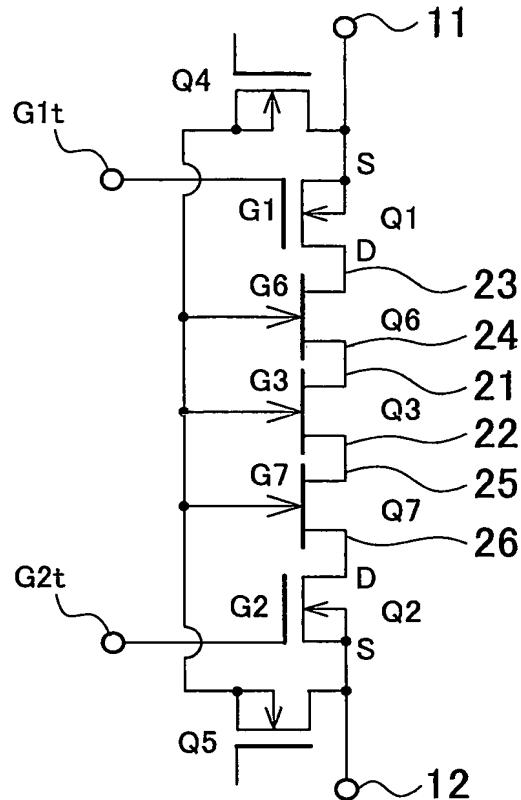
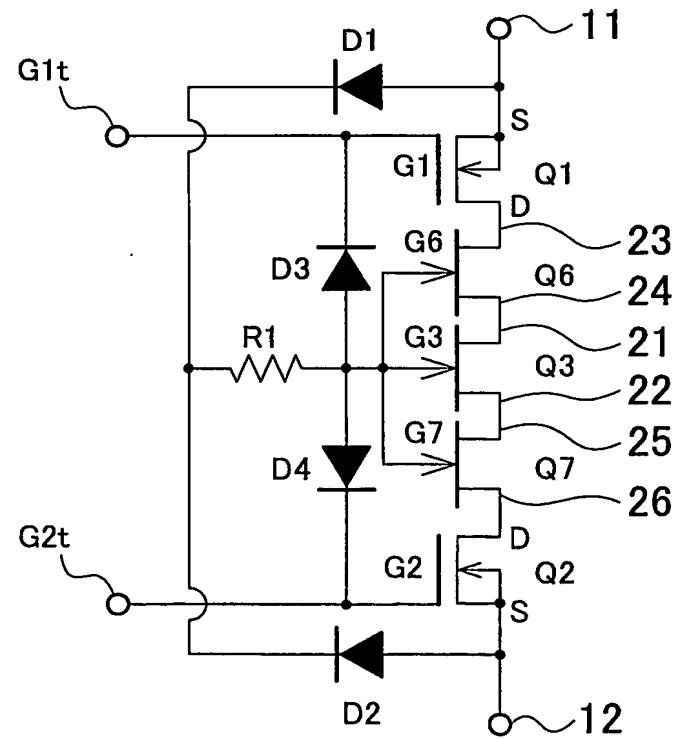
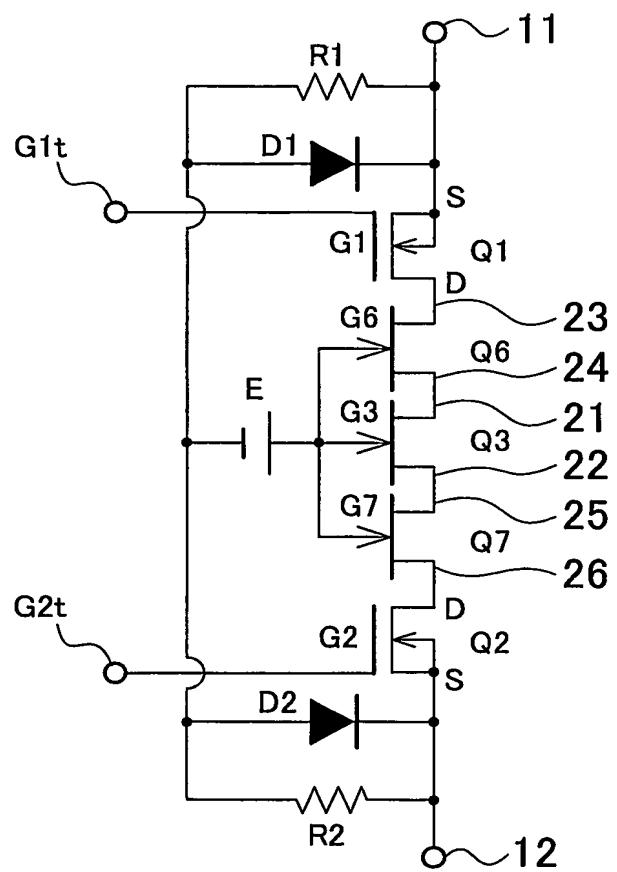


FIG. 18



8/8

FIG.19



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/007756

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H03K17/687, 17/06, 17/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H03K17/00-17/70

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 05-075110 A (Fuji Electric Co., Ltd.), 26 March, 1993 (26.03.93), Par. No. [0009]; Fig. 1 & US 5357125 A	1-3, 8-10 4-7
Y A	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 130693/1983 (Laid-open No. 040134/1985) (NEC Corp.), 20 March, 1985 (20.03.85), Page 3, line 5 to page 4, line 6; Fig. 1 (Family: none)	1-3, 8-10 4-7

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 July, 2004 (15.07.04)Date of mailing of the international search report
03 August, 2004 (03.08.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. C17 H03K 17/687, 17/06, 17/10

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. C17 H03K 17/00-17/70

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2004年
 日本国登録実用新案公報 1994-2004年
 日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 05-075110 A (富士電機株式会社) 1993. 03. 26, 【0009】、図1 参照	1~3
A	& US 5357125 A	8~10 4~7
Y	日本国実用新案登録出願 58-130693 号 (日本国実用新案登録出願公開 60-040134 号) の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム	1~3
A	(日本電気株式会社), 1985. 03. 20 第3頁第5行~第4頁第6行、第1図 参照 (ファミリーなし)	8~10 4~7

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

15. 07. 2004

国際調査報告の発送日

03. 8. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目 4番 3号

特許庁審査官 (権限のある職員)

柳下 勝幸

5X 3363

電話番号 03-3581-1101 内線 3556